

LDL06D26A

LDLABO

2006年8月11日

```
logicname LDL06D26A                                     ende
entity main                                             entity sim
input RESET;                                           output RESET;
input EP;                                               output EP;
output Q[4];                                           output Q[4];
bitr q[4];                                             bitr tc[8];
Q=q;                                                    part main(RESET,EP,Q)
if (RESET)                                             tc=tc+1;
  q=0;                                                 if (tc<5) RESET=1; endif
else                                                  switch(tc.0:2) case 2: EP=1; endswitch
  if (EP)
    q=q-1;
  else
    q=q;
  endif
endif
endif                                                  ende
endlogic                                              endlogic
```

図1 動作

