

# LDL06D26B

LDLABO

2006年4月26日

```
logicname LDL06D26B                                     endif

entity main                                             ende
input RESET;
input EP;
output Q[4];
bitr q[4];
    Q=q;
    if (RESET)
        q=0;
    else
        if (EP)
            if (q<10)
                q=q+1;
            else
                q=q;
            endif
        else
            q=q;
        endif
    endif

entity sim
output RESET;
output EP;
output Q[4];
bitr tc[8];
    part main(RESET,EP,Q)
        tc=tc+1;
        if (tc<5) RESET=1; endif
        switch(tc.0:1) case 3: EP=1; endswitch
    endif
endlogic
```

図1 動作

