

# LDL06D27A

LDLABO

2006年4月27日

```
logicname LDL06D27A
entity main
input RESET;
input EP;
output Q[4];
bitr q[4];
Q=q;
if (RESET)
  q=15;
else
  if (EP)
    if (q>3)
      q=q-1;
    else
      q=q;
  endif
else
  q=q;
endif
endif
ende
entity sim
output RESET;
output EP;
output Q[4];
bitr tc[8];
part main(RESET,EP,Q)
tc=tc+1;
if (tc<5) RESET=1; endif
switch(tc.0:2) case 3: EP=1; endswitch
ende
endlogic
```

図1 動作

