

# LDL06D28A

LDLABO

2006年4月28日

```
logicname LDL06D28A

entity main
input RESET;
input EP;
input DIR;
output Q[4];
bitr q[4];

    Q=q;

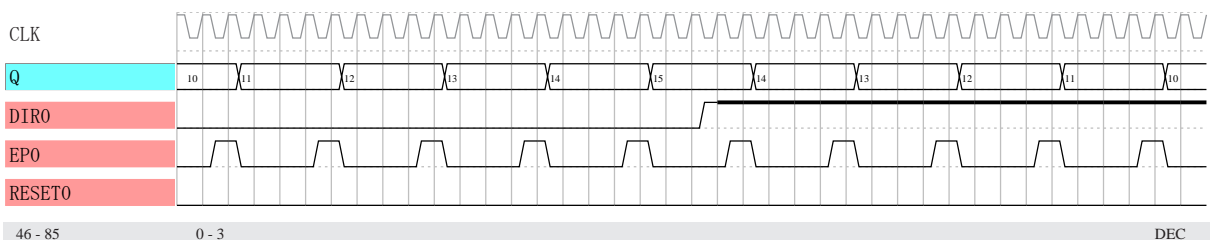
    if (RESET)
        q=0;
    else
        if (EP)
            if (DIR)
                q=q-1;
            else
                q=q+1;
            endif
        else
            q=q;
        endif
    endif

    if (RESET)
        tc=tc+1;
        if (tc<5) RESET=1; endif
        switch(tc.0:1) case 3: EP=1; endswitch
        if (tc>65) DIR=1; endif
    endif
endlogic

entity sim
output RESET;
output EP;
output DIR;
output Q[4];
bitr tc[8];

part main(RESET,EP,DIR,Q)
endlogic
```

図1 動作



46 - 85

0 - 3

DEC