

# LDL06D30A

LDLABO

2006年4月30日

```
logicname LDL06D30A
entity main
input  A[8],B[8],C[8],D[8];
output SEL[2];

    if (A<B)          { A 候補 }
      if (C<D)        { C 候補 }
        if (A<C)
          SEL=0;      { A 決定 }
        else
          SEL=2;      { C 決定 }
        endif
      else            { D 候補 }
        if (A<D)
          SEL=0;      { A 決定 }
        else
          SEL=3;      { D 決定 }
        endif
      endif
    else            { B 候補 }
      if (C<D)        { C 候補 }
        if (B<C)
          SEL=1;      { B 決定 }
        else
          SEL=2;      { C 決定 }
        endif
      else            { D 候補 }
        if (B<D)
          SEL=1;      { B 決定 }
        else
          SEL=3;      { D 決定 }
        endif
      endif
    endif
endlogic

    endif
  endif
endef
endef
ende

entity sim
output A[8],B[8],C[8],D[8];
output SEL[2];

bitr tc[8];

part main(A,B,C,D,SEL)

tc=tc+1;

switch(tc)
case 1:  A=12; B=34; C=56; D=78;
case 2:  A=78; B=12; C=34; D=56;
case 3:  A=56; B=78; C=12; D=34;
case 4:  A=34; B=56; C=78; D=12;
case 5:  A=12; B=99; C=99; D=99;
case 6:  A=99; B=12; C=99; D=99;
case 7:  A=99; B=99; C=12; D=99;
case 8:  A=99; B=99; C=99; D=12;
case 9:  A=12; B=12; C=99; D=99;
case 10: A=99; B=12; C=12; D=99;
case 11: A=99; B=99; C=12; D=12;
endswitch
ende
endlogic
```

