

LDL06E01A

LDLABO

2006年5月1日

```
logicname LDL06E01A

entity main
input  A[8],B[8],C[8],D[8];
output Q[8];

bitn sel[2];

    if (A>B)          { A 候補 }
      if (C>D)        { C 候補 }
        if (A>C)      { A 決定 }
          sel=0;
        else
          sel=2;      { C 決定 }
        endif
      else
        { D 候補 }
        if (A>D)      { A 決定 }
          sel=0;
        else
          sel=3;      { D 決定 }
        endif
      endif
    else
      { B 候補 }
      if (C>D)        { C 候補 }
        if (B>C)      { B 決定 }
          sel=1;
        else
          sel=2;      { C 決定 }
        endif
      else
        { D 候補 }
        if (B>D)      { B 決定 }
          sel=1;
        else
          sel=3;      { D 決定 }
        endif
      endif
    endif
  endif

switch(sel)
  case 0: Q=A;
  case 1: Q=B;
  case 2: Q=C;
  case 3: Q=D;
endswitch

entity sim
output A[8],B[8],C[8],D[8];
output Q[8];

bitr tc[8];

part main(A,B,C,D,Q)

  tc=tc+1;

  switch(tc)
    case 1: A=1; B=2; C=3; D=4;
    case 2: A=6; B=7; C=8; D=5;
    case 3: A=11; B=12; C=9; D=10;
    case 4: A=16; B=13; C=14; D=15;
    case 5: A=19; B=18; C=17; D=20;
    case 6: A=23; B=22; C=24; D=21;
    case 7: A=27; B=28; C=25; D=26;
    case 8: A=32; B=31; C=30; D=29;
    case 9: A=35; B=34; C=33; D=36;
    case 10: A=39; B=38; C=40; D=37;
    case 11: A=44; B=40; C=44; D=41;
  endswitch

  ende
endlogic
```

図 1 動作

