

LDL06E04A0

LDLABO

2006年6月16日

1 論理譜

```
logicname LDL06E04A0

entity main
input RESET;
input SCLK;
input YIN[5];
input TAKE;
output Q[6];
output SET;
output XSEL[5];

bitr sclkp[2];
bitr data[6];
bitr count[3];
bitr set[3];
bitn keypush;
bitr beforcount[3];
bitr sclkp0delay;

output TOP[3]; TOP=set;

    Q=data;
    SET=set.1;

    sclkp0delay=sclkp.0;

    if (RESET)
        count=0;
    else
        if (sclkp0delay)
            if (count==4)
                count=0;
            else
                count=count+1;
            endif
        else
            count=count;
        endif
    endif

    if (RESET)
        beforcount=0;
    else
        if (sclkp.0)
            beforcount=count;
        else
            beforcount=beforcount;
        endif
    endif

    if (RESET)
        sclkp=0;
    else
        if (SCLK)
            switch(sclkp)
                case 0: sclkp=1;
                case 1: sclkp=2;
                default: sclkp=sclkp;
            endswitch
        else
            sclkp=0;
        endif
    endif

    if (RESET)
        data.0:2=0;
    else
        if (set.0)
            switch(YIN)
                case 0b00001: data.0:2=0;
                case 0b00010: data.0:2=1;
                case 0b00100: data.0:2=2;
                case 0b01000: data.0:2=3;
                case 0b10000: data.0:2=4;
            endswitch
        else
            data.0:2=data.0:2;
        endif
    endif

    if (RESET)
        data.3:5=0;
    else
        if (set.0)
            data.3:5=beforcount;
        else
            data.3:5=data.3:5;
        endif
    endif
end
```

```

endif

if (YIN!=0) keypush=1; endif

switch(count)
  case 0: XSEL=0b00001;
  case 1: XSEL=0b00010;
  case 2: XSEL=0b00100;
  case 3: XSEL=0b01000;
  case 4: XSEL=0b10000;
endswitch

if (RESET)
  set=0;
else
  if (sclkp.0)
    switch(set)
      case 0:
        if (keypush)
          set=1;
        endif
      case 1: set=2;
      case 2:
        if (TAKE)
          set=6;
        else
          set=set;
        endif
      case 6:
        if (keypush)
          set=set;
        else
          set=0;
        endif
    endswitch
  else
    switch(set)
      case 1: set=2;
      case 2:
        if (TAKE)
          set=6;
        else
          set=set;
        endif
      default: set=set;
    endswitch
  endif
endif
endif

```

```

ende

entity sim
output RESET;
output SCLK;
output YIN[5];
output TAKE;
output Q[6];
output SET;
output XSEL[5];
input simres;

bitr tc[8];

part main(RESET,SCLK,YIN,TAKE,Q,SET,XSEL)

simres=0;
if (!simres) tc=tc+1; endif

if (tc<5) RESET=1; endif

SCLK=tc.2;

switch(tc)
  case 13: YIN.0=1;
  case 14: YIN.0=1;

  case 20: YIN.0=1;
  case 21: YIN.0=1;

  case 25: TAKE=1;

  case 29: YIN.1=1;
  case 30: YIN.1=1;

  case 37: YIN.2=1;
  case 38: YIN.2=1;

  case 48: YIN.3=1;
  case 49: YIN.3=1;

  case 53: YIN.3=1;
  case 54: YIN.3=1;
endswitch

ende

endlogic

```

2 動作

図 1 動作

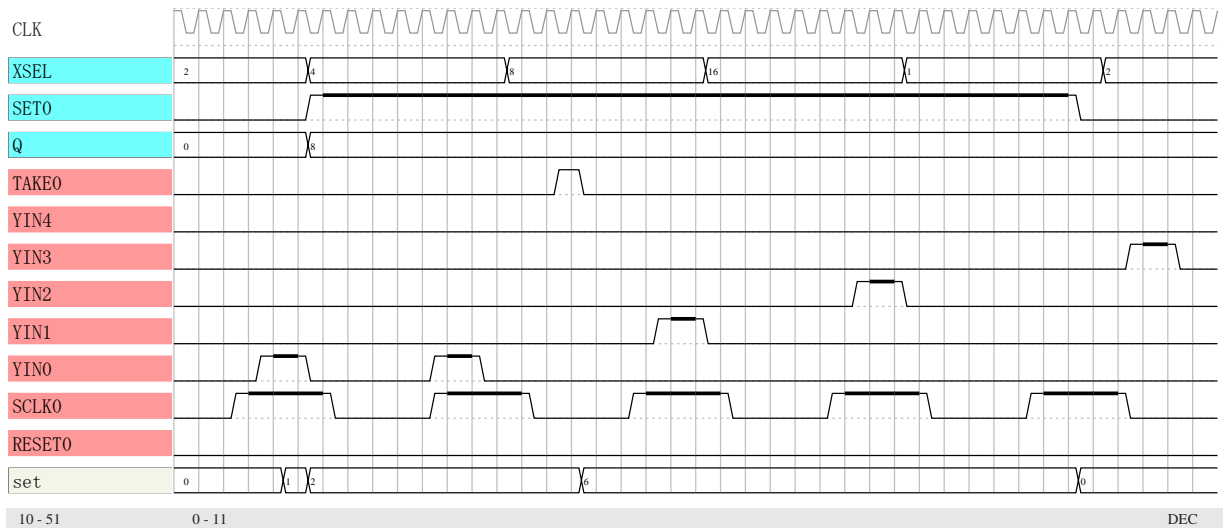
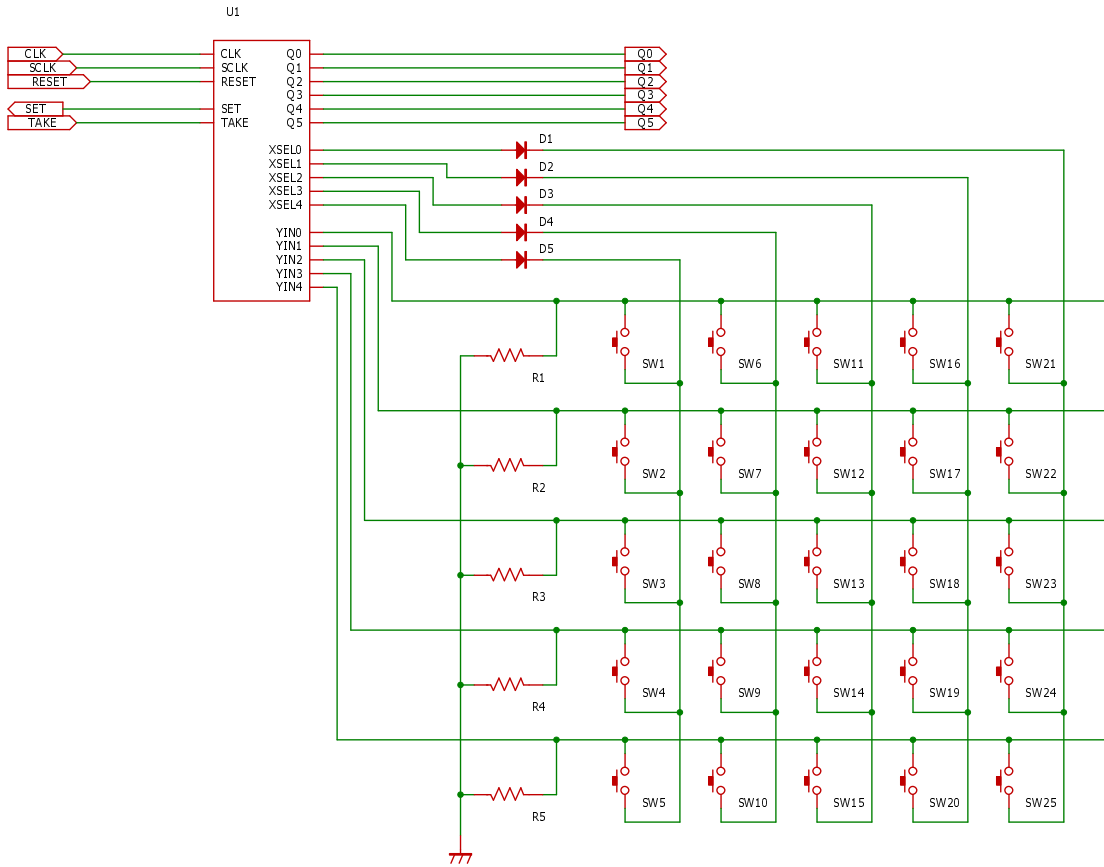
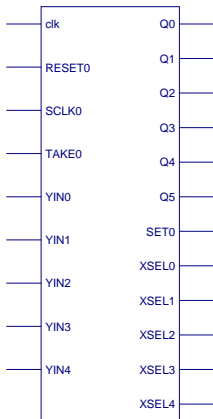


図 3 回路



3 使い方

図 2 チップ外観



スイッチが押されたことを検出すると SET が 1 になるので Q を読み取ります。SET は TAKE を 1 にすることで 0 に解除されます。図 3 のスイッチを押したときに Q に返される値は次のようになります。

SW1	20h	SW8	1Ah	SW15	14h	SW22	1h
SW2	21h	SW9	1Bh	SW16	8h	SW23	2h
SW3	22h	SW10	1Ch	SW17	9h	SW24	3h
SW4	23h	SW11	10h	SW18	Ah	SW25	4h
SW5	24h	SW12	11h	SW19	Bh		
SW6	18h	SW13	12h	SW20	Ch		
SW7	19h	SW14	13h	SW21	0h		

SCLK の周波数はキーを巡回する時間になります。