

LDL06E06A

LDLABO

2006年5月9日

1 論理譜

```
logicname LDL06E06A
entity main
input RESET;
input SCLK;
output Q[24];

bitr q[24];
bitr sclkp[2];

    Q=q;

    if (RESET)
        sclkp=0;
    else
        if (SCLK)
            switch(sclkp)
                case 0: sclkp=1;
                case 1: sclkp=2;
                default: sclkp=sclkp;
            endswitch
        else
            sclkp=0;
        endif
    endif

    if (RESET)
        q=0;
    else
        if (sclkp.0)
            q=q+1;
        else
            q=q;
        endif
    endif
end

entity sim
output RESET;
output SCLK;
output Q[24];

bitr tc[8];

    part main(RESET,SCLK,Q)

        tc=tc+1;

        if (tc<5) RESET=1; endif

        SCLK=tc.1;
    end

endlogic
```

2 動作

図1 動作 (1/2)

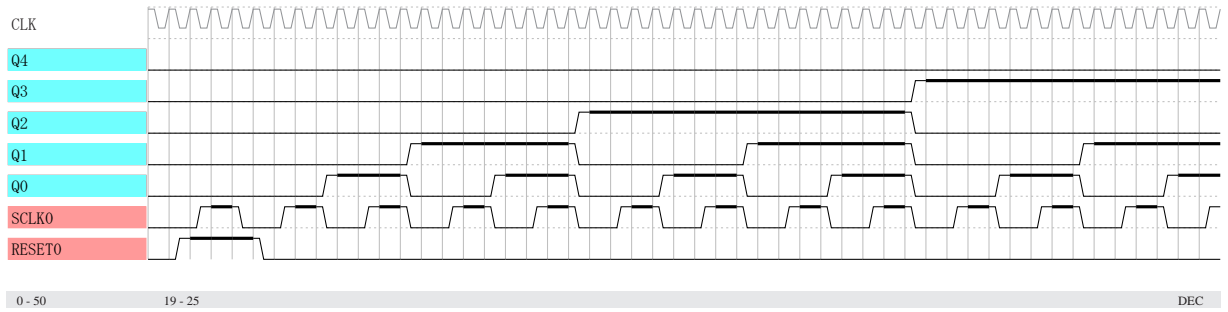


図2 動作 (2/2)

