

LDL06E12B

LDLABO

2006年5月14日

1 論理譜

```
logicname LDL06E12B

entity main
input RESET;
input DATA[4];
output DIGITNO[3];
output Q[16];

bitr digitno[3];
bitn tmp[16];
bitr acc[16];
bitr seqno;
bitn tmp2shift[16];
bitn tmp3shift[16];
bitn digitno7p;

    Q=acc;
    DIGITNO=digitno;

    if (RESET)
        digitno=3;
    else
        if (digitno7p)
            digitno=digitno;
        else
            if (seqno==1)
                digitno=digitno-1;
            else
                digitno=digitno;
            endif
        endif
    endif

    digitno7p=digitno==7;

    tmp.0:3=DATA;

    if (RESET)
        seqno=0;
    else
        switch(seqno)
            case 0: seqno=1;
            case 1: seqno=0;
        endswitch
    endif

    tmp3shift.3:10=acc.0:7;
    tmp3shift.11:15=acc.8:12;

    tmp2shift.1:8=acc.0:7;
    tmp2shift.9:15=acc.8:14;

    if (RESET)
        acc=0;
    else
        if (digitno7p)
            acc=acc;
        else
            switch(seqno)
                case 0: acc=tmp3shift+tmp2shift;
                case 1: acc=acc+tmp;
            endswitch
        endif
    endif
endif

ende

entity sim
output RESET;
output DATA[4];
output DIGITNO[3];
output Q[16];

bitr tc[8];
bitn node_DIGITNO[3];

    DIGITNO=node_DIGITNO;

    part main(RESET,DATA,node_DIGITNO,Q)

        tc=tc+1;

        if (tc<5) RESET=1; endif

        switch(node_DIGITNO)
            case 3: DATA=1;
            case 2: DATA=2;
            case 1: DATA=3;
```

```

    case 0: DATA=4;
endswitch
endlogic
ende

```

2 動作

図 1 動作

