

LDL06E17A

LDLABO

2006年5月17日

1 論理譜

```
logicname LDL06E17A
```

```
entity main  
input A[32];  
input B[32];  
output Q[32];
```

```
    Q=A+B;
```

```
ende
```

```
entity sim  
output A[32];  
output B[32];  
output Q[32];
```

```
bitr tc[8];
```

```
part main(A,B,Q)
```

```
tc=tc+1;
```

```
switch(tc)
```

```
case 10: A=12345678; B=90123456;
```

```
case 11: A=12345678; B=90123456;
```

```
case 12: A=12345678; B=90123456;
```

```
case 13: A=1234; B=5678;
```

```
case 14: A=1234; B=5678;
```

```
case 15: A=1234; B=5678;
```

```
endswitch
```

```
ende
```

```
endlogic
```

2 動作

図1 動作

