LDL06E18A

LDLABO

2006 年 5 月 18 日

1　論理譜

```
logicname LDL06E18A

entity main
input  A[32];
input  B[32];
output Q[32];

   Q=A-B;

ende

entity sim
output A[32];
output B[32];
output Q[32];

bitr tc[8];

   part main(A,B,Q)

   tc=tc+1;

   switch(tc)
      case 10: A=90123456; B=12345678;
      case 11: A=90123456; B=12345678;
      case 12: A=90123456; B=12345678;
      case 13: A=5678; B=1234;
      case 14: A=5678; B=1234;
      case 15: A=5678; B=1234;
   endswitch

ende

endlogic
```

2　動作
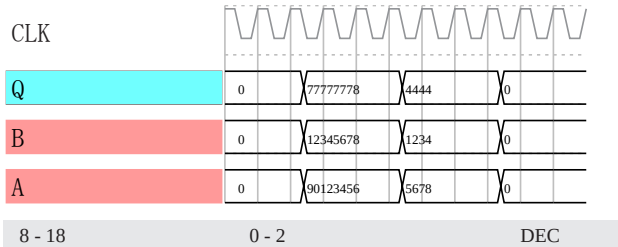
図 1　動作