

LDL06E19A

LDLABO

2006年5月19日

1 論理譜

```
logicname LDL06E19A

entity main
input  reset;
input  a[32];
input  b[32];
output y[32];
output ready;

bitr   ra[64],rb[64];
bitr   acc[64];

    if (reset)
        ra.0:31=a;    { 下 32 ビットに設置 }
        rb.32:63=b;   { 上 32 ビットに設置 }
    else
        ra.1:63=ra.0:62; { 上桁移動 }
        rb.0:62=rb.1:63; { 下桁移動 }
    endif

    if (reset)
        acc=0;
    else
        if (rb.32)
            acc=acc+ra;    { 累算 }
        else
            acc=acc;
        endif
    endif

    y=acc.0:31;

    if (rb.32:63==0) ready=1; endif
endlogic

entity sim
output reset;
output a[32];
output b[32];
output y[32];
output ready;

bitr tc[8];

part main(reset,a,b,y,ready)

    tc=tc+1;

    if (tc<5) reset=1; endif
    if (tc==27) reset=1; endif

    if (tc>25)
        a=12345;
        b=67890;
    else
        a=1234;
        b=5678;
    endif
endlogic
```

2 動作

図1 動作

