

LDL06E21A

LDLABO

2006年8月28日

1 論理譜

```
logicname LDL06E21A

entity main
input RESET;
input DATA[4];
output DIGITNO[3];
output Q[32];
output EOC;

bitr digitno[4];
bitn tmp[32];
bitr acc[32];
bitr seqno;
bitn tmp2shift[32];
bitn tmp3shift[32];
bitn digitno7p;

    Q=acc;
    DIGITNO=digitno.0:2;
    EOC=digitno7p;

    if (RESET)
        digitno=7;
    else
        if (digitno7p)
            digitno=digitno;
        else
            if (seqno==1)
                digitno=digitno-1;
            else
                digitno=digitno;
            endif
        endif
    endif

    digitno7p=digitno==15;

    tmp.0:3=DATA;

    if (RESET)
        seqno=0;
    else
        switch(seqno)
            case 0: seqno=1;
            case 1: seqno=0;
        endswitch
    endif

    tmp3shift.3:31=acc.0:28;
    tmp2shift.1:31=acc.0:30;

    if (RESET)
        acc=0;
    else
        if (digitno7p)
            acc=acc;
        else
            switch(seqno)
                case 0: acc=tmp3shift+tmp2shift;
                case 1: acc=acc+tmp;
            endswitch
        endif
    endif

    ende

entity sim
output RESET;
output DATA[4];
output DIGITNO[3];
output Q[32];
output EOC;

bitr tc[8];
bitn node_DIGITNO[3];

    DIGITNO=node_DIGITNO;

    part main(RESET,DATA,node_DIGITNO,Q,EOC)

        tc=tc+1;

        if (tc<5) RESET=1; endif

        switch(node_DIGITNO)
            case 7: DATA=1;
            case 6: DATA=2;
            case 5: DATA=3;
        endswitch
    endpart
endentity sim
```

```

case 4: DATA=4;
case 3: DATA=5;
case 2: DATA=6;
case 1: DATA=7;
case 0: DATA=8;
endswitch
                                     ende
                                     endllogic

```

2 動作

図1 動作

